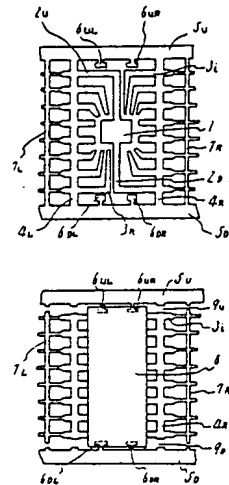


**(54) LEAD FRAME**

(11) 1-64244 (A) (43) 10.3.1989 (19) JP  
 (21) Appl. No. 62-221548 (22) 3.9.1987  
 (71) NEC KYUSHU LTD (72) MOTOAKI MATSUDA  
 (51) Int. Cl. H01L23/50

**PURPOSE:** To prevent quality deterioration due to debris from excessively plated material during a lead working process, by electrically isolating upper and lower frames from the leads after sealing with resin so that only the leads are plated.

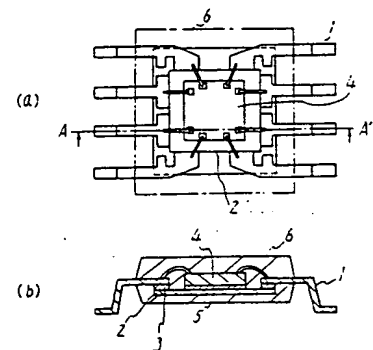
**CONSTITUTION:** In a lead frame, an island 1 on which an IC chip is carried and on which bonding processes as required have been finished, tip ends of support plates  $2_U$  and  $2_D$ , tip ends of leads and projected parts  $6_{UL}$ ,  $6_{UR}$ ,  $6_{DL}$  and  $6_{DR}$  are sealed with resin. Then, cuts  $9_U$  and  $9_D$  are provided for the purpose of cutting off upper and lower frames from the upper and lower ends of tie bars  $4_R$ ,  $4_L$  and of partition plates  $7_R$ ,  $7_L$  except the projected parts  $6_{UL}$ ,  $6_{UR}$ ,  $6_{DL}$  and  $6_{DR}$ . Consequently, the upper and lower frames  $5_U$  and  $5_D$  are mechanically contacted with a resin sealed section 8 through these four projected parts but, electrically, they are insulated from all the leads  $3i$ . In the next electroplating process, a plating material is not deposited excessively, since no potential is applied to the upper and lower frames  $5_U$  and  $5_D$ .

**(54) SEMICONDUCTOR DEVICE**

(11) 1-64245 (A) (43) 10.3.1989 (19) JP  
 (21) Appl. No. 62-221512 (22) 3.9.1987  
 (71) NEC CORP (72) HISASHI SAWAKI  
 (51) Int. Cl. H01L23/50, H01L23/28, H01L23/34

**PURPOSE:** To improve the reliability in moisture resistance, heat dissipating properties and manufacturing yield, by using a lead frame in which different materials are joined together by means of an insulating adhesive.

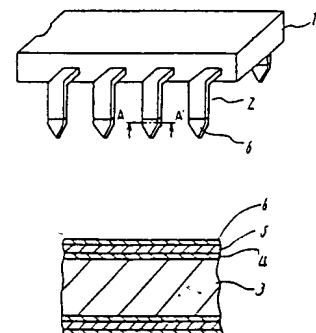
**CONSTITUTION:** Leads 1 constituting a lead frame is formed of 42 alloy having a linear expansion coefficient lower than that of a molding material or sheathing resin. An island 2 is formed of a Cu alloy having thermal conductivity lower than that of the leads. The leads 1 are bonded to the island 2 by means of an insulating adhesive 3 comprising tape composed basically of polyimide on which an epoxy adhesive agent is applied, and a lead frame is constituted thereby. Following to mounting a semiconductor chip 4 on the island 2 by means of a die bonding agent 5, electrode pads of the semiconductor chip 4 are connected to the leads 1 by bonding them and the lead frame and the semiconductor chip 4, except the tip ends of the leads 1 which should be left exposed, are covered with and molded with a sheathing resin 6.

**(54) SEMICONDUCTOR DEVICE**

(11) 1-64246 (A) (43) 10.3.1989 (19) JP  
 (21) Appl. No. 62-221510 (22) 3.9.1987  
 (71) NEC CORP (72) TAKASHI YAMAZAKI  
 (51) Int. Cl. H01L23/50, C23C28/00, H01L23/00

**PURPOSE:** To increase discharge resistance for decreasing stress applied to a semiconductor element by static discharge and to prevent breakdown of the semiconductor element, by forming a high resistance coat film at least on the tip ends of lead terminals.

**CONSTITUTION:** A lead terminal 2 consists of a lead material 2 basically composed of Fe-Ni alloy or Cu alloy, an Ni plated film 4 covering the surface of the lead material 3, a solder film 5 formed on the Ni plated film 4 and a high resistance film 6 of a carbon paste material deposited to cover the solder film 5 at the tip end of the lead terminal 2. Since the surface of the tip end of the lead terminal 2 is covered with the high resistance film 5, a discharge passage of static charge charged within the lead terminal 2 is defined following the course from the high resistance film to a spark discharge space and to the grounding system. Accordingly, higher discharge resistance can be obtained than by prior arts.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭64-64245

⑬ Int.Cl.<sup>4</sup>

H 01 L 23/50  
23/28  
23/34  
23/50

識別記号

庁内整理番号

H-7735-5F  
A-6835-5F  
A-6835-5F  
Y-7735-5F

⑭ 公開 昭和64年(1989)3月10日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-221512

⑰ 出 願 昭62(1987)9月3日

⑱ 発 明 者 佐 脇 久 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

モールド材料より線膨脹係数の小さい金属材料を用いるリード部と該リード部より熱伝導率の大きい金属材料を用いるアイランド部と前記リード部とアイランド部とを接合する絶縁性接着剤とから成るリードフレームと、前記アイランド部に搭載される半導体チップと、前記リード部の先端を突出した状態で前記リードフレームと半導体チップとを覆って形成される前記モールド材料を用いる外装樹脂とを含むことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特にモールドパッケージを用いる半導体装置に関する。

(従来の技術)

従来、この種の半導体装置は、第2図に示すように、同一金属の薄板からリード部1a及びアイランド部2aを形成したリードフレームを用いて、アイランド部2aに半導体チップ4を搭載した後、リード部1aの先端を突出した状態でリードフレームと半導体チップ4とを覆って外装樹脂6を用いてモールド成型していた。

(発明が解決しようとする問題点)

上述した従来の半導体装置は、通常、同一金属の薄板をリードフレームとして使用しているため、外装樹脂のモールド材料より小さい線膨脹係数を有するNi42%とFe58%の合金(以下、42合金と称す)材を用いると、線膨脹係数の違いによりモールド材料とリード部の境界は強固に接合して耐信頼性に優れるが、熱放散性が悪くなり高出力の半導体集積回路素子は搭載できないという欠点がある。

又、熱放散性を改善するため、熱伝導率の優れた銅合金材料を使用すると高出力素子の搭載は可

能になるが、線膨張係数がモールド材料と同じになるので、リード部とモールド材料との境界に空間が生じ耐信頼性に劣るという欠点がある。

更に、リード部とアイランド部とを異種金属材料で構成し、かしめにより接合するものもあるが、リード部とアイランド部が短絡するので半導体装置の製造の歩留りを低下させるという欠点がある。

#### 〔問題点を解決するための手段〕

本発明の半導体装置は、モールド材料より線膨張係数の小さい金属材料を用いるリード部と前リード部より熱伝導率の大きい金属材料を用いるアイランド部と前記リード部とアイランド部とを接合する絶縁性接着剤とからなるリードフレームと、前記アイランド部に搭載される半導体チップと、前記リード部の先端を露出した状態で前記リードフレームと半導体チップとを覆って形成される前記モールド材料を用いる外装樹脂とを含んで構成される。

#### 〔実施例〕

次に、本発明について図面を参照して説明する。

び熱抵抗の比較を第1表に示す。

第 1 表

	不良率	熱抵抗(℃/W)
実施例	0/10	182
42合金材	0/10	213
銅材	3/10	176

このように、リード部1の金属材料を外装樹脂6のモールド材料より線膨張係数の小さいものを用いることで、リード部1とモールド材料の境界に空間が生じ耐信頼性に優れ、かつアイランド部2が熱伝導率の大きい金属材料で形成されるため、パッケージの熱放散性に優れ高出力の半導体集積回路素子が搭載できる。

#### 〔発明の効果〕

以上説明したように本発明は、異種材料を絶縁性接着剤で接合したリードフレームを用いることにより、耐信頼性に優れかつ熱放散性が改善でき、製造の歩留りも向上できる効果がある。

#### 4. 図面の簡単な説明

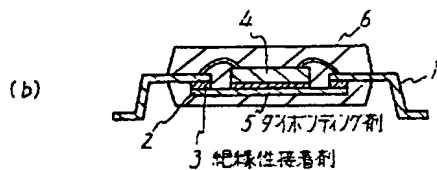
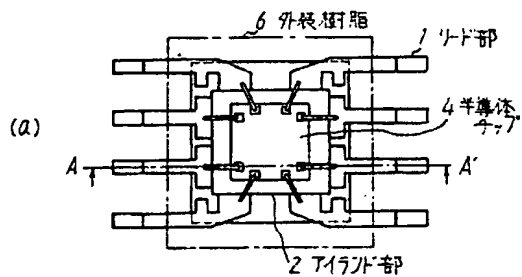
第1図(a)及び(b)はそれぞれ本発明の一実施例の平面図及びA-A'線断面図である。

第1図に於いて、リードフレームを形成するリード部1は外装樹脂6のモールド材料より小さい線膨張係数を有する42合金を用い、アイランド部2はリード部1より熱伝導率の高いCu97.56%とFe2.4%とP0.04%の合金(194プロイ)を用いた。又、リード部1とアイランド部2はポリミドを基材とするテープにエポキシ系の接着剤を塗布した絶縁性接着剤3で接合してリードフレームを形成し、アイランド部2にダイボンディング剤5を用いて半導体チップ4をマウントした後、半導体チップ4の電極パッドとリード部1とをボンディングにより接続し、リード部1の先端を露出させてリードフレームと半導体チップ4とを覆って外装樹脂6でモールド成型している。このように構成した8ピンSOP(small outline package)の半導体装置と、42合金材及び銅材のリードフレームのSOPを用いた場合との、100Hでの加圧耐湿試験(ECT)における不良率及

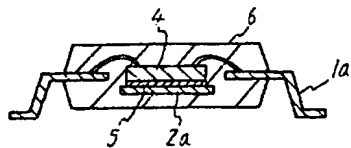
第1図(a)及び(b)はそれぞれ本発明の一実施例の平面図及びA-A'線断面図、第2図は従来の半導体装置の一例の断面図である。

1、1<sub>a</sub>……リード部、2、2<sub>a</sub>……アイランド部、3……絶縁性接着剤、4……半導体チップ、5……ダイボンディング剤、6……外装樹脂。

代理人 弁理士 内 原 晋



第 1 図



第 2 図